

Тіменко А.В.

Національний університет «Запорізька політехніка»

Шкарупило В.В.

Національний університет біоресурсів і природокористування України

Скрупський С.Ю.

Національний університет «Запорізька політехніка»

Смолій В.В.

Національний університет біоресурсів і природокористування України

ДОСЛІДЖЕННЯ ШЛЯХІВ ПІДВИЩЕННЯ ПРОПУСКНОЇ СПРОМОЖНОСТІ ПІДСИСТЕМИ ПАМ'ЯТІ СУЧАСНОЇ ОБЧИСЛЮВАЛЬНОЇ СИСТЕМИ

Сучасний стан розвитку персональних обчислювальних систем можна охарактеризувати як такий, коли має місце широке використання мультиядерних платформ. Швидкодія таких систем під час вирішення як повсякденних, так і вузькоспеціалізованих обчислювальних задач безпосередньо залежить від пропускної спроможності підсистеми пам'яті центрального процесора, для якого на актуальних платформах характерна інтеграція із контролером оперативної пам'яті.

Метою роботи є підвищення ефективності функціонування підсистеми пам'яті актуальної мультиядерної обчислювальної системи, що дозволить пришвидшити вирішення ряду науково-технічних задач. Для досягнення сформульованої мети в роботі вирішуються такі завдання: підвищення пропускної спроможності підсистеми пам'яті сучасної мультиядерної обчислювальної системи шляхом маніпулювання частотою і затримками; оцінювання впливу реалізації технології мультипоточності на результуючу продуктивність мультиядерної обчислювальної системи.

Для одержання кількісних оцінок показників ефективності функціонування системи використано поширені загальнодоступні програмні засоби, зокрема такі, як AIDA64, wPrime. Як апаратний складник тестової платформи застосовано платформу Advanced Micro Devices на базі актуальної мікроархітектури Zen. Маніпулювання характеристиками підсистеми пам'яті проведено засобами інтерфейсу Unified Extensible Firmware Interface.

Результати проведених експериментальних досліджень показали, що оперування налаштуваннями підсистеми пам'яті сучасної мультиядерної обчислювальної системи є дієвим засобом підвищення ефективності її функціонування. Окрім того, було одержано кількісну оцінку корисного ефекту від застосування технології мультипоточності. Одержаний результат охарактеризовано як суттєвий. При цьому зазначено, що він може варіюватися залежно від обраної програмно-апаратної платформи.

Ключові слова: мультиядерна система, центральний процесор, ефективність, підсистема пам'яті, частота, затримка.

Постановка проблеми. Стрімкий розвиток сучасних інформаційних технологій характеризується значними вимогами до обчислювальних ресурсів, необхідних для вирішення ряду науково-технічних задач, зокрема таких, що передбачають застосування чисельних методів, здійснення формальної верифікації тощо [1]. В актуальних мікроархітектурах обчислювальних систем, наприклад, Zen [2], істотний вплив на результуючу продуктивність обчислювальної системи чинить швидкодія підсистеми пам'яті (ПП). Відповідні рішення при

цьому є мультиядерними, що, зокрема, дозволяє не втрачати сподівань у слідуванні закону Мура і у наш час [3]. Під ПП розумітимемо таку пару: контролер оперативної пам'яті (ОП), інтегрований до складу центрального обчислювального вузла мультиядерної обчислювальної системи (МОС); модулі ОП, інсталювані до складу материнської плати як апаратної платформи МОС. Ретельне налаштування характеристик ПП при цьому є запорукою успішного чисельного розв'язання поставленої задачі.

Аналіз останніх досліджень і публікацій.

Демонстративним прикладом важливості високої пропускної спроможності ПП МОС є вирішення задачі перевірки сумісності компонентів системи Інтернету речей методом перевірки на моделі, що передбачає побудову граф-моделі системи переходів із заданої формальної специфікації [4]. Верифікація такої специфікації характеризується експоненційним зростанням простору станів системи переходів.

Існує чимало засобів налаштування характеристик ПП, один з яких – інтерфейс UEFI (Unified Extensible Firmware Interface) [5], що надає широкий спектр шляхів маніпуляцій, прийшовши на заміну застарілій системи BIOS (Basic Input-output System). Саме на його застосуванні і базується представлена робота. Навіть більше, засоби інтерфейсу UEFI дозволяють активувати дієву актуальну технологію мультипоточності – SMT (Simultaneous Multithreading), що знайшла застосування у складі сучасних програмно-апаратних платформ компанії AMD (Advanced Micro Devices). Технологія SMT призначена підвищити продуктивність роботи сучасної МОС за рахунок паралельного виконання незалежних програмних потоків [6].

Підсумовуючи вищесказане, у роботі ставиться мета – підвищити ефективність роботи ПП актуальної МОС, що дозволить пришвидшити вирішення ряду науково-технічних задач.

Постановка завдання. Для досягнення сформульованої мети в роботі ставляться і вирішуються такі завдання:

- підвищити пропускну спроможність ПП сучасної МОС – шляхом маніпулювання частотою і затримками;

- оцінити вплив застосування технології SMT (Simultaneous Multithreading) на продуктивність МОС.

Як показник ефективності обрано пропускну спроможність ПП МОС.

Виклад основного матеріалу дослідження.

Попередні дослідження демонструють, що обмежена продуктивність ПП процесора може стати стримуючим фактором, зокрема, під час вирішення задачі формальної верифікації методом перевірки на моделі [7].

Проведення експериментальних досліджень базувалось на програмно-апаратній платформі такої конфігурації: операційна система – 64-розрядна модифікація Microsoft Windows 10 версії 10.0.17763.615; центральний процесор – AMD Ryzen 2400G – 4 фізичні ядра з підтримкою

мультипоточності (8 потоків), що функціонують на частоті 3,8 ГГц; чипсет – AMD B450; материнська плата – B450M BAZOOKA v2; версія BIOS – P.40 – AMD AGESA Combo-AM4 0.0.7.2; обсяг встановленої ОП – 16 ГБ стандарту DDR4, згідно з яким рекомендована напруга живлення ОП становить 1,2 В [8]; серія модулів ОП – BLS2K8G4D30AESEK [9]. Варто зазначити, що названий процесор створено на основі актуальної мікроархітектури Zen, що передбачає реалізацію вищезазваної технології SMT, призначеної забезпечити паралельне виконання незалежних потоків. При цьому ПП функціонує у двоканалному режимі. Навіть більше, для залученої мікроархітектури характерна така особливість: частота роботи контролера ОП визначається частотою ОП – становить половину частоти ОП. Це, зокрема, означає, що у разі застосування МОС з альтернативною мікроархітектурою одержувані експериментальні дані можуть суттєво різнитися.

Для проведення експериментальних досліджень залучено такі актуальні програмні засоби:

- AIDA64 версії 6.10.52.00 – для одержання значень показників пропускної спроможності ПП під час виконання операцій зчитування, запису, копіювання у ОП, а також значення показника затримки доступу до ОП [10]. Саме названі показники застосовуватимемо як індикатори підвищення продуктивності ПП залежно від маніпуляцій із характеристиками частоти і затримок ОП;

- wPrime версії 2.10 – інструментальний засіб, що рекурсивно обчислює квадратні корені на основі методу Ньютона [11]; є репрезентативним індикатором мультипоточної продуктивності мультиядерної системи, особливо у контексті вирішення науково-технічних задач чисельними методами; експериментальні дослідження будуватимемо на основі проходження відповідного тесту wPrime-32m.

Під час проведення експериментальних досліджень застосовано такий підхід. Варіювались такі характеристики МОС: частота, затримки і напруга живлення ОП. Характеристики ОП для заданих частот подано у табл. 1. Для зчитування значень характеристик ОП і встановлення напруги живлення використано вбудовані засоби інтерфейсу UEFI.

У табл. 1 напруга живлення ОП і затримки виставлені таким чином, щоб успішно проходити набір тестів утиліти TestMem5 – перевіреного засобу підтвердження стабільності функціонування ПП [12]. Подані у табл. 1 умовні позначення затримок є типовими: *CL* – CAS Latency; *tRCD* – Row Address

to Column Address Delay; tRP – Row Precharge Time; $tRAS$ – Row Active Time; $tRC \geq tRP + tRAS$; CR – Command Rate [13]. Значення напруги, подані у табл. 1, є допустимим. Варто зазначити, що багато сучасних високочастотних наборів ОП розраховано на базову напругу 1,35 В [9]. При цьому не рекомендується перевищувати значення напруги у 1,40 В. Допустимі значення напруги і затримок, які вдасться досягти, залежать також і від виробника мікросхем ОП. Значення табл. 1 одержані для мікросхем виробництва Micron.

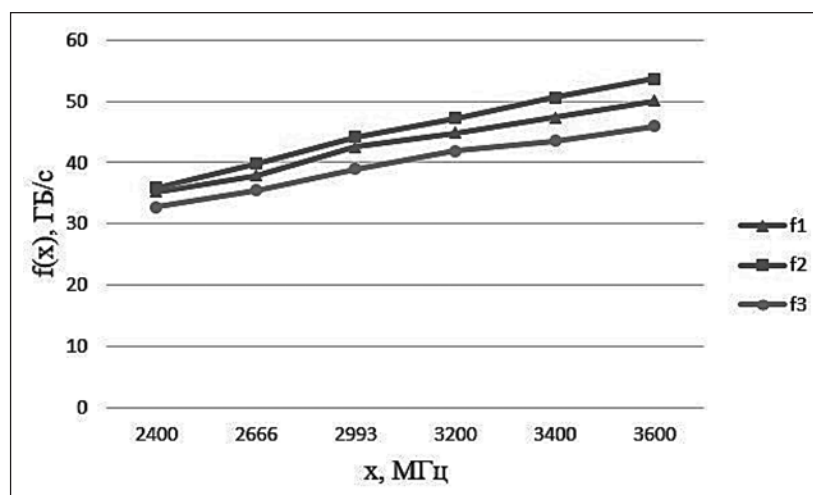


Рис. 1. Графік залежності пропускної спроможності ПП від частоти ОП

Варто зазначити, що наведені у табл. 1 затримки належать до основної групи затримок. Для одержання кращих значень показників продуктивності ПП необхідно оперувати також і вторинними затримками ($tRRDs$ та ін.). Цей аспект виходить за межі цієї роботи і підлягає подальшому опрацюванню.

Значення показників продуктивності ПП подано у табл. 2.

У табл. 2 показники $f_1(x)$, $f_2(x)$, $f_3(x)$ означають, відповідно, пропускну спроможність ПП при зчитуванні, записі та копіюванні даних. Показник $f_4(x)$ при цьому відображає затримку доступу до ОП, нс. Кожне табличне значення є середнім арифметичним 10 замірів.

Дані табл. 2 стосовно пропускну спроможності ПП подано на рис. 1.

З рис. 1 видно, що значення показників $f_1(x) - f_3(x)$ пропускну спроможності ПП прямопропорційні частоті ОП. Підвищення частоти ОП на 50 % сприяло такому результату: показник $f_1(x)$ поліпшився на 42%, $f_2(x)$ – на 50%, а $f_3(x)$ – на 40%. Отже, зростання пропускну спромож-

Таблиця 1

Затримки ОП залежно від частоти

| № з/п | Затримки, такти | Частоти (МГц); напруги (В) ОП | | | | | |
|-------|-----------------|-------------------------------|--------------|---------------|---------------|---------------|---------------|
| | | 2400; 1,2 | 2666; 1,2 | 2993; 1,35 | 3200; 1,35 | 3400; 1,36 | 3600; 1,38 |
| 1 | CL | 16 | 16 | 16 | 16 | 16 | 16 |
| 2 | $tRCD$ | 16 | 16 | 16 | 16 | 18 | 18 |
| 3 | tRP | 16 | 16 | 16 | 16 | 18 | 18 |
| 4 | $tRAS$ | 39 | 35 | 35 | 35 | 38 | 38 |
| 5 | tRC | 55 | 61 | 67 | 74 | 78 | 82 |
| 6 | CR | 1T | 1T | 1T | 1T | 1T | 1T |

Таблиця 2

Залежність продуктивності ПП від частоти

| № з/п | Показники | Частоти ОП (x), МГц | | | | | |
|-------|-----------------|---------------------|-------|-------|-------|-------|-------|
| | | 2400 | 2666 | 2993 | 3200 | 3400 | 3600 |
| 1 | $f_1(x)$, ГБ/с | 35,28 | 37,85 | 42,57 | 44,79 | 47,31 | 50,06 |
| 2 | $f_2(x)$, ГБ/с | 35,83 | 39,81 | 44,15 | 47,23 | 50,61 | 53,70 |
| 3 | $f_3(x)$, ГБ/с | 32,74 | 35,49 | 38,94 | 41,87 | 43,56 | 45,98 |
| 4 | $f_4(x)$, нс | 94,54 | 82,36 | 74,60 | 73,34 | 71,16 | 68,44 |

ності ПП шляхом підвищення частоти ОП є обґрунтованим кроком – за умови використання сучасної мультядерної мікроархітектури AMD Zen, коли частота контролера ОП безпосередньо визначається частотою ОП. При цьому варто зазначити, що одержані результати можуть бути покращені шляхом більш ретельного налаштування затримок ОП (табл. 1).

Функцію $f_4(x)$ табл. 2 представлено на рис. 2.

З рис. 2 видно, що підвищення частоти ОП на 50% призвело до зниження затримки доступу

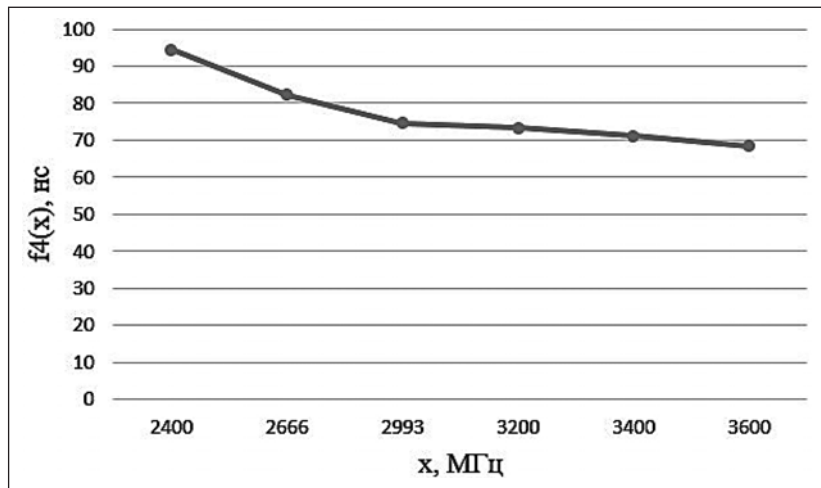


Рис. 2. Графік залежності затримки доступу до ОП від частоти ОП

Таблиця 3

Час проходження тесту wPrime-32m

| № з/п | Показники | Значення показників проходження тесту для заданої частоти ОП (МГц) | | | | | |
|-------|-----------|--|-------|-------|-------|-------|-------|
| | | 2400 | 2666 | 2993 | 3200 | 3400 | 3600 |
| 1 | X, с | 10,19 | 10,21 | 10,53 | 10,20 | 10,28 | 10,18 |
| 2 | Y, с | 6,63 | 6,61 | 6,74 | 6,59 | 6,62 | 6,61 |
| 3 | Z | 0,35 | 0,35 | 0,36 | 0,35 | 0,36 | 0,35 |

на 28%. Більш ретельні налаштування затримок ОП (табл. 1) потенційно можуть призвести до кращих результатів.

Результати дослідження впливу застосування технології SMT на продуктивність МОС подано у табл. 3. Для оцінювання відповідного ефекту залучено програмний засіб wPrime [11].

У табл. 3 показник X – час проходження тесту для 4 потоків – без залучення технології SMT, с; Y – для 8 потоків – із залученням технології SMT, с; $Z = (X - Y) / X$.

Результати, подані у табл. 3, дають змогу оцінити корисний ефект від застосування технології SMT – одержуване прискорення від активізації 8 потоків замість 4 становить 35–36%. Такий показник можна охарактеризувати як вагомий, тобто такий, що істотним чином впливає на швидкість вирішення обчислювальної задачі. При цьому варто зазначити, що цей результат може варіюватися залежно від обраної програмно-апаратної платформи.

Висновки. Таким чином, у роботі було успішно вирішено усі поставлені задачі:

1. Показано шлях підвищення пропускної спроможності ПП сучасної МОС шляхом маніпулювання частотою і затримками ОП. Екс-

периментальним шляхом було одержано такі результати: підвищення частоти ОП на 50% сприяло покращенню таких показників продуктивності функціонування ПП: пропускна спроможність під час операцій зчитування даних зросла на 42%, запису – 50%, копіювання – 40%. При цьому затримки доступу до ОП скоротилися на 28%. Такі результати можна охарактеризувати як задовільні, тобто такі, що потенційно можуть суттєво підвищити ефективність роботи МОС під час вирішення обчислювальних задач, якщо показником ефективності виступає час.

2. Визначено вплив застосування технології SMT на ефективність роботи МОС. На усьому діапазоні вхідних даних – для частот ОП від 2,4 ГГц до 3,6 ГГц – зростання ефективності склало 35–36%. Таке значення охарактеризовано як вагоме. Для його обчислення було залучено поширений програмний засіб wPrime.

Подальша робота планується у наступних напрямках: покращення показників продуктивності ПП МОС шляхом більш ретельного налаштування затримок ОП; оцінювання ефекту від підвищення продуктивності ПП у ряді прикладних сценаріїв.

Список літератури:

1. Shkarupylo V.V., Tomicic I., Kasian K.M. The investigation of TLC model checker properties. *Journal of Information and Organizational Sciences*. 2016. Vol. 40, No. 1. P. 145–152.
2. Oi H. Energy efficiency study of Ryzen microprocessor. *SoutheastCon 2018, IEEE* (St. Petersburg, FL, USA, 19-22 April 2018). 2018. doi: <https://doi.org/10.1109/SECON.2018.8478962>
3. Schaller R. R. Moore's law: past, present and future. *IEEE Spectrum*. 1997. Vol. 34, No. 6. P. 52–59.
4. Timenko A.V. On the aspects of IoT protocols specification and checking. *Shipbuilding & marine infrastructure*. 2019. No. 2(12). P. 35–41.
5. Liu R., Delgado-Frias J. G., Boyce D., Khanna R. A real-time UEFI functional validation tool with behavior Colored Petri Net model. *Circuits and Systems, MWSCAS* : 2016 IEEE 59th International Midwest Symposium (Abu Dhabi, United Arab Emirates, 16–19 Oct. 2016). 2016. P. 1–4. doi: <https://doi.org/10.1109/MWSCAS.2017.8052942>
6. Zhang Y., Lin W.-M. Efficient resource sharing algorithm for physical register file in simultaneous multi-threading processors. *Microprocessors and Microsystems*. 2016. Vol. 45, Part B. P. 270–282.
7. Shkarupylo V.V., Tomicic I., Kasian K.M., Alsayaydeh J.A.J. An Approach to increase the Effectiveness of TLC Verification with Respect to the Concurrent Structure of TLA+ Specification. *International Journal of Software Engineering and Computer Systems*. 2018. Vol. 4, No. 1. P. 48–60.
8. Mukundan J., Hunter H., Kim K., Stuecheli J., Martinez J.F. Understanding and mitigating refresh overheads in high-density DDR4 DRAM systems. *ACM SIGARCH Computer Architecture News*. 2013. Vol. 41, No. 3. P. 48–59.
9. Ballistix Sport LT DDR4 Memory. URL: <https://content.crucial.com/content/dam/ballistix/dram-products/sport-series/ddr4/sport-lt-2016/flyer/ballistix-sport-lt-ddr4-productflyer.pdf> (дата звернення: 14.02.2020).
10. AIDA64. URL: <https://www.aida64.com/downloads> (дата звернення: 14.02.2020).
11. wPrime Multi-threaded Benchmark. URL: <http://www.wprime.net/> (дата звернення: 14.02.2020).
12. TestMem5. URL: <https://iowin.net/testmem5> (дата звернення: 14.02.2020).
13. Гук М.Ю. Аппаратные средства IBM PC: энциклопедия, 3-е изд. Санкт-Петербург : Питер, 2006. 1072 с.

Timenko A.V., Shkarupylo V.V., Skrupsky S.Yu., Smolii V.V. A RESEARCH ON THE WAYS OF MODERN COMPUTING SYSTEM'S MEMORY SUBSYSTEM THROUGHPUT INCREASE

Modern level of personal computing systems development can be characterized as follows: ubiquitous utilization of multicore platforms takes place. The performance of such systems while resolving typical and specialized computational tasks depends on memory subsystem throughput directly. Not to mention that memory controller of modern multicore systems is integrated into central processing unit.

The goal of work proposed is to increase the effectiveness of modern multicore computing system's memory subsystem functioning to foster the quickness of scientific and technical tasks resolving. To achieve that, the following tasks are approached in given paper: increase the throughput of multicore computing system's memory subsystem – by way of frequency and latencies manipulation; estimate the effect on the resulting productivity of multicore computing system from multithreading technology implementation.

To get the quantitative estimations of multicore system functioning effectiveness, the broadly known and proven utilities have been brought to use, e.g., AIDA64, wPrime. The Advanced Micro Devices' platform with contemporary Zen microarchitecture has been utilized as a hardware constituent of the test bench. Memory subsystem's characteristics tweaking has been conducted through the Unified Extensible Firmware Interface.

The results obtained have proved the assumption concerning the expediency of modern multicore computing system's memory subsystem tweaking in order to increase the effectiveness of its functioning. Moreover, the quantitative estimation of the outcome from multithreading technology implementation has been made. The result obtained has been characterized as a significant one. At the same time, it has been stated that the result can vary, depending on the software and hardware platform chosen.

Key words: multicore system, central processing unit, effectiveness, memory subsystem, frequency, latency.